

一种用于无线收发机的 11 bit 150 MS/s Sub-range SAR ADC IP

何秀菊¹, 薛春莹¹, 王 亚¹, 李福乐¹, 张 春¹, 姜学平²

(1 清华大学 微电子所, 北京 100084; 2 全球能源互联网研究院, 北京 102211)

摘 要: 提出一个用于无线收发机的双通道 11 bit 150 MS/s 逐次逼近型(SAR)模数转换器(ADC). ADC 的两通道都采用 Sub-range SAR 的结构, 电路中使用自举开关采样, 提高电路的线性度; 采用全动态比较器, 以节省功耗; 使用基于等效门控环振荡器的异步高速 SAR 逻辑, 提高 ADC 的转换速度. 此外, 在 CDAC 中采用分裂电容设计以避免使用导通性不良的中间电压连接开关. 本设计在 Smic 55 nm Low-Leakage CMOS 工艺下流片. IP 总面积是 0.3 mm², 核的有效面积是 0.046 mm². 测试结果为: 在供电电压和参考电压为 1.2 V, 采样率为 150 MS/s 的情况下, 单通道消耗 2.04 mA 的电流, SNDR 为 60.9 dB, FOM 值为 17.9 fJ/conv. -step. 静态特性 DNL 和 INL 分别为 +0.99/-0.81 LSB 和 +2.21/-1.37 LSB.

关键词: 模数转换器; sub-range SAR; 自举开关; 低功耗

中图分类号: TN45

文献标识码: A

文章编号: 1000-7180(2017)05-0001-05

An 11 bit 150 MS/s Sub-range SAR ADC IP for Wireless Transceiver

HE Xiu-ju¹, XUE Chun-ying¹, WANG Ya¹,

LI Fu-le¹, ZHANG Chun¹, JIANG Xue-ping²

(1 Micro electronic insititument of Tsinghua University, Tsinghua Universing, Beijing 100084, China;

2 Global energy interconnection research institute, Beijing 102211, China)

Abstract: An 11 bit 150 MS/s dual-channel successive-approximation-register (SAR) analog-to-digital converter (ADC) IP for wireless transceiver is presented in this paper. Each channel adopts sub-range SAR architecture, which combines bootstrap switches for high linearity, gate-controlled ring oscillator (GCRO) for high speed and dynamic comparator for low power. In addition, division in Capacitive Digital-to-analog Converter (CDAC) avoids capacitors connecting to common-mode voltage (VCM) and the switch transistors incompletely switching on. The 11 bit 150 MS/s prototype is fabricated in smic 55 nm low leakage CMOS process. The active area of dual-channel ADC IP is 0.35 mm², while the core area is 0.046 mm². A single channel consumes 2.04 mA current and achieves an SNDR of 60.9 dB at 150 MS/s sample rate and 1.2V supply and reference, resulting in a FOM of 17.9 fJ/Conversion-step. Measured DNL and INL are +0.99/-0.81 LSB and +2.21/-1.37 LSB, respectively.

Key words: ADC; sub-range SAR; bootstrap switch; low power

1 引言

随着半导体工艺向深亚微米方向发展, 晶体管

的功耗随着工艺尺寸的缩小和电源电压的下降而降低, 其转换速度也随着工艺尺寸的缩小而变快. 与此同时, 在低供电电压情况下, 模拟电路的设计尤其

是运放的设计遇到了更大的挑战。

在模数转换器(ADC)的设计中,转换速度和功耗是设计中的关键所在。Pipeline ADC 可以在数百兆采样率下工作。但是由于运放的存在,使得 pipeline ADC 会消耗很大的静态功耗^[1]。Flash ADC 可以工作在几吉采样率下,但是它所占的面积和功耗会随着分辨率的升高而指数倍地增长^[2]。因此,在无线收发机中,低功耗、高速度的 SAR ADC 被广泛采用。

近些年来,许多技术致力于进一步改善 SAR ADC 的转换速度和功耗。比如,Pipeline-SAR 结构的 ADC^[3],它既降低了 DAC 的电容,又缓解了分辨率和速度之间的矛盾。也有采用每步 2 bit 转换的设计,减少了 SAR ADC 转换时间和开关活动,从而有效地降低了动态和静态的功耗^[4-6]。本论文采用 Sub-range SAR 结构,综合了 flash ADC 和 SAR ADC 两者的优点,既可以实现高转换速度,又可以实现低功耗设计。

论文采用的高功耗效率的 Sub-range SAR ADC 结构,采用 3.5 bit flash ADC 实现粗转换,然后用 8 bit SAR ADC 进行精转换。在 ADC 设计中采用了以下措施:采用全动态比较器以降低功耗;将 CDAC 中一部分电容采用分裂电容设计,将电容分成大小相等的小电容;在采样阶段,采用自举开关进行采样,使晶体管的导通电阻不随着输入信号的改变而改变,以增强 ADC 的线性度。

2 ADC 的结构

图 1 给出了本文所设计的 ADC 的结构框图。它包括了进行粗转换的 3.5 bit Flash ADC 和进行精转换 8 bit SAR ADC。为了避免采样保持放大器(SHA)引入额外的功耗和热噪声,在 Sub-range SAR ADC 中采用 SHA-less 方案。Flash ADC 和电容式 DAC(CDAC)采用栅压自举开关连接到输入信号对其进行跟踪,此设计可以有效地降低采样回踢噪声的影响。除此之外,自举开关的设计使得开关的导通电阻较为稳定,从而保证输入信号的线性。在采样相的结束的瞬间,输入信号被采样到 CDAC 上,Flash ADC 对输入信号进行粗转换。Flash ADC 产生 14 位温度码,从而完成第一步 3.5 bit 的转换。进而,Flash 逻辑控制 14×2 个高位段电容接入 VRP/VRN,产生下一步转换所需的模拟余差信号。在转换相,SAR ADC 将余差电压转换成 8 位二进制码。最终,译码电路将 14 bit 温度码和 8 bit 二进

制码转换成 11 bit 结果。

对于 Sub-range SAR ADC 结构,SAR ADC 转换的余差比 flash ADC 所转换的输入信号小。这与传统的 SAR 相比,可以避免从参考电压上不必要的充放电,这也就意味着,它可以消耗更少的功耗。除此之外,在一次转换中 Sub-range SAR ADC 仅需要 9 步转换就可以实现 11 bit 的分辨率。而传统的 SAR ADC 则需要 11 步转换。因此,这种结构可提高转换速度。由于在设计中有 0.5 bit 的冗余位,因此对于粗转换可容忍 $\pm 1/32$ 满量程电压的失配或误差^[7]。此外,由于 flash 和 SAR 的采样网络不同所造成的孔径误差也可以通过冗余位进行自校准。

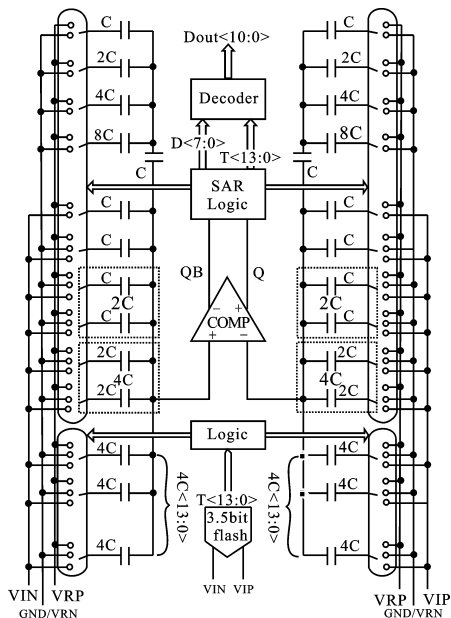


图 1 ADC 结构框图

3 CDAC 结构及寄生电容分析

3.1 CDAC 结构

在此设计中采用底板采样,可以减小开关在关断时的电荷注入效应,以及电容顶板的寄生电容的影响。由于电容阵列开关进行切换时会消耗很大的功耗,因此在设计中采用分段电容的设计来减小总的电容,从而降低电容阵列所消耗的功耗(功耗与 fCV^2 成比例)。

如图 2 所示,CDAC 采用分裂电容的设计,一个电容被分成大小相等的两部分:在采样阶段,一半接 VRP,另一半接 VRN,以避免电容的开关直接接入电压 VCM。在比较器产生结果之后,仅需要分立电容的一半将电压从 VRP 变到 VRN 或从 VRN 切换到 VRP。这样的设计,避免了开关接 VCM 的情况,

减小了导通电阻,进而提升了 CDAC 的建立速度.可是,这种设计会导致在 SAR 进行转换的时候比较器的共模电压的波动,如图 3 所示.

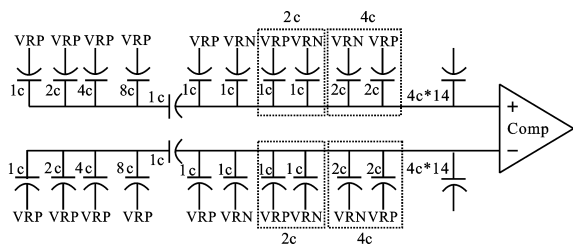


图 2 SAR ADC 进行比较之前 CDAC 电容的连接情况

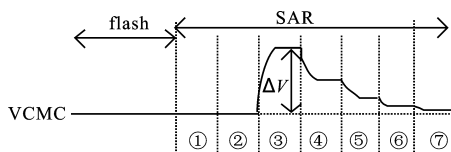


图 3 在 ADC 转换期间 VCMC 的波动曲线

最大的波动电压 ΔV 的计算如下:

$$\begin{aligned}\Delta V &= \frac{1}{2} \cdot \frac{C}{\frac{15}{16}C + 64C} \cdot (VRP - VRN) \\ &= \frac{8}{1039} VRP = 9 \text{ mV}\end{aligned}\quad (1)$$

由于 9 mV 的波动对于比较器来说是可以接受的,因此并没有降低 ADC 的性能.

3.2 寄生电容的分析

在版图和工艺制造的过程中寄生电容是不可忽略的.对于 CDAC 的设计中比较重要的寄生电容如图 4 所示.

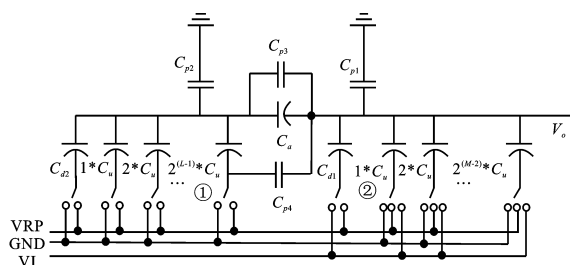


图 4 带寄生电容的 ADC 电容阵列

在不考虑寄生电容的情况下,在电容匹配时有 $C_a = C_u, C_{d2} = 0$,为了确保输入信号能取得满摆幅的范围需使得 $C_{d1} = C_u$.事实上,寄生电容会影响 CDAC 的线性性能.关于寄生电容 C_{p1}, C_{p2}, C_{p3} 对二进制权重的影响,如下公式所示^[8]:

$$\omega_{err} = \frac{C_{p2}}{C_a + C_{Lt}} - \frac{C_{p3}}{C_a}, C_{Lt} = (2^L - 1)C_u, C_a = C_u \quad (2)$$

最除此之外,寄生电容 C_{p4} 对 CDAC 的线性也有非常显著的作用.关于 C_{p4} 对二进制权重所造成的影响计算如下:在 ① 和 ② 处分别输入一个阶跃信号 VR,则在输出端节点 V_o 处的电压分别为:

$$V_{o1} = \frac{2^{L-1}C_u + 2^L C_{p4}}{2^{M+L}C_u + 2^L C_u + 2^L C_{p4} - C_u} \quad (3)$$

$$V_{o2} = \frac{2^L C_u}{2^{M+L}C_u + 2^L C_u + 2^L C_{p4} - C_u} \quad (4)$$

$$\omega_{err} = \frac{V_{o2} - 2V_{o1}}{2V_{o1}} = -\frac{C_{p4}}{C_u + 2C_{p4}} \quad (5)$$

因此,为了取得更好的线性性能,在版图设计中需要对 C_{p2}, C_{p3}, C_{p4} 进行优化.为了减小寄生电容 C_{p2} ,在版图设计中采用底板对顶板全包围的 MOM 电容;为了减小 C_{p3} ,在设计中用 dummy 电容将低位段的电容顶板和高位段的电容底板进行隔离;为了减小 C_{p4} ,需要在版图中将低位段电容顶板进行保护隔离.

4 门控环振电路(GCRO)

对于 n -bit SAR ADC 来说,触发比较器工作的时钟频率是外部采样时钟的 n 倍.对于一个高速的 SAR ADC 来说,内部的工作时钟的速度需要非常快.在每个位转换周期中都需要完成比较器比较, SAR 逻辑产生控制信号和 DAC 建立的操作.由于同步 SAR 的最小时钟周期受限于最大的 DAC 建立时间、最大比较时间和最大逻辑延时.因此同步时钟不能够充分利用,使得同步 SAR ADC 的转换速度受限.与之不同的是,异步 SAR 的时钟周期并不是固定不变的,它会随着比较器的比较时间和输入信号的幅度来自动调节,加快转换速度.因此,异步时钟非常适合于高速的 SAR ADC.

在电路设计中采用门控环振电路来产生内部的高速转换时钟,如图 5 所示.当 GT 为 0 时,GCRO 不工作.当 GT 为 1 时,GCRO 开始工作.CKC 的变换取决于比较器的输出结果 Q 和 QB. GCRO 的周期取决于比较器产生结果的时间和复位的时间,以及与非门和反相器的延时.与此同时,在每个时钟中 SAR ADC 将完成比较器的比较, SAR 逻辑产生控制信号以及 DAC 的建立.因此,时间关系如下图所示:

$$\begin{aligned}T_{GCRO} &= T_{com, decision} + T_{com, reset} + T_{NAND, delay} + T_{NOT, delay} \\ &> T_{com, decision} + T_{logic} + T_{DAC, setting}\end{aligned}\quad (6)$$

其中, $T_{com, decision}$ 为比较器的比较延时, $T_{com, reset}$ 为比较器的复位延时, $T_{NAND, delay}$ 为与非门的延时,

$T_{\text{NOT, delay}}$ 为反相器延时. 在电路设计中, 每个时钟循环周期的时间可以通过调整与非门和反相器的尺寸来实现, 从而确保 DAC 可以在下一次比较开始之前完全建立. 除此之外, 对于不同的工艺角来说, SAR 逻辑的延时总和与 DAC 的建立时间会有起伏. 如图 5 所示, 可编程的电阻可以通过并行的门控开关来实现, 进而可以控制与非门的延时, 使得 ADC 能够适应不同的工艺角. 其控制信号的开关 S1, S2, S3 可以通过 SOC 的 SPI 接口来实现编程.

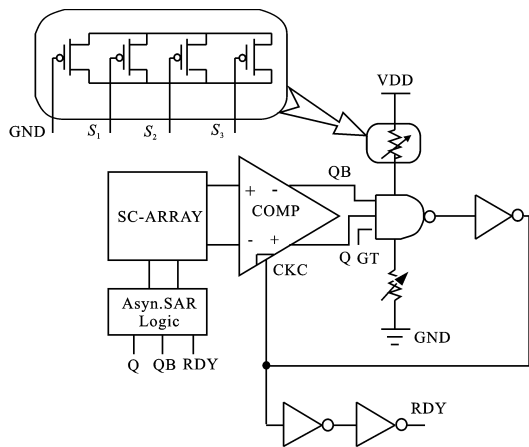


图 5 门控环振电路

5 比较器

在本文设计中, flash ADC 和 SAR ADC 都采用了全动态比较器^[9]来实现低功耗设计. 对于动态比较器而言, 它不会消耗静态功耗, 因此有利于实现低功耗. 如图 6 所示, 比较器为两级结构, 第一级实现对输入信号的预放大, 第二级对预防大的结果进行比较锁存.

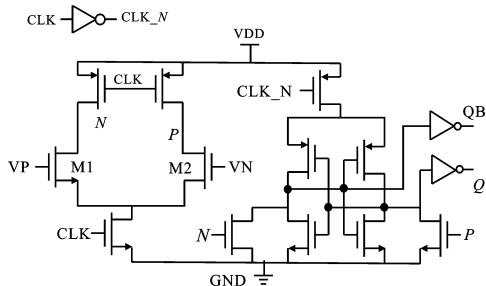


图 6 动态比较器

对于 ADC 的设计而言, 噪声是设计的关键之一. 根据仿真结果显示, 在精转换中 SAR ADC 的比较器是整个 ADC 的主要噪声源. 比较器第一级等效到输入端的噪声计算如下:

$$V_{ni} = \frac{V_t V_{o1}^2}{2C_o \Delta V^2} + \frac{4V_t \gamma V_{o1}}{2C_o \Delta V} \quad (7)$$

在上式中 V_t 为热电压, γ 系数由工艺来决定, C_o 是 P 端/ N 端的寄生电容, V_{o1} 是输入管的过驱动电压, ΔV 是 P 端或 N 端结在第一级刚开始工作的电压与第二级开始锁存时候的电压的差.

比较器第二级等效到输入端的噪声是第二级的噪声除以第一级的增益, 因此比较器的噪声主要取决于第一级, 它与 P 端/ N 端的寄生电容成反比. 为了优化噪声性能, 又不能在 P 端/ N 端增加负载电容, 因为增大电容同时也会降低比较器的工作速度. 为了优化噪声又保持比较器的高速工作, 可以成比例的增大 SAR ADC 比较器的 MOS 管尺寸. 然而, 增大 MOS 管的尺寸又会增大动态功耗, 从而又会导致功耗的增加. 因此, 最终需要在噪声和功耗两者中取一个折中.

6 测试结果

本文的设计已经在 SIMC55 nm low-leakage CMOS 工艺上流片, 并已取得测试结果. 如图 7 所示, 双通道 ADC 的有效面积是 $500 \mu\text{m} \times 700 \mu\text{m}$, 其核的面积是 0.046 mm^2 . 图 8 显示的是在满摆幅的正弦信号输入情况下通过码密度所测得的静态性能. ADC 的静态性能 DNL 和 INL 分别为 $+0.99/-0.81 \text{ LSB}$ 和 $+2.21/-1.37 \text{ LSB}$.

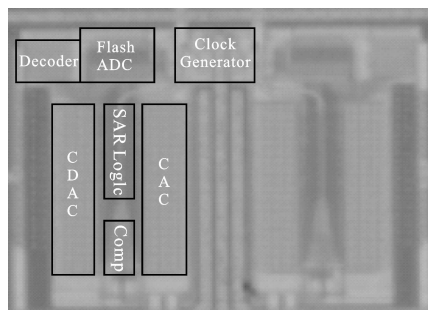


图 7 芯片照片

图 9 显示的是通过快速傅里叶分析所得到的 ADC 的动态性能. 在采样率为 150 MS/s , 输入频率为 4.91 MHz 时, ADC 的 ENOB 为 9.83 bit . 图 10 显示的是分别是 SNR/SNDR/SFDR 随着输入频率的变化曲线. 与输入频率为 4.91 MHz 时相比, 在高输入频率情况下性能测试结果有下降, 这就意味着输入频率为高频时, ADC 的量化性能保持良好的情况下, 采样性能下降. 这是因为孔径误差与输入信号的频率和幅度是成比例的. 当输入频率升高, 在粗转

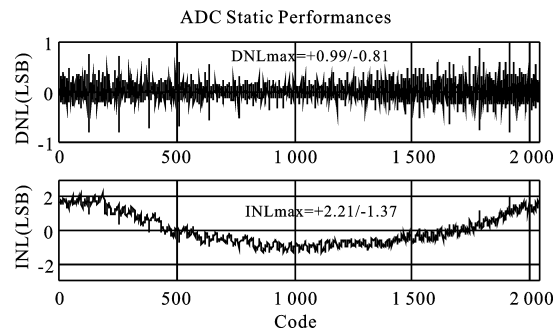


图 8 ADC 的 DNL 和 INL 的测试结果

换阶段孔径误差和比较器失配的和超出了自校准的范围. 从某种角度来说, 高频输入测试性能下降是因为粗转换时比较器的失配引起的. 由于设计的 ADC IP 是应用于 802.11b WIFI 中, 所需要的 ADC 的带宽是 20 MHz. 因此这个这款 ADC 的 SNDR 可以满足其要求.

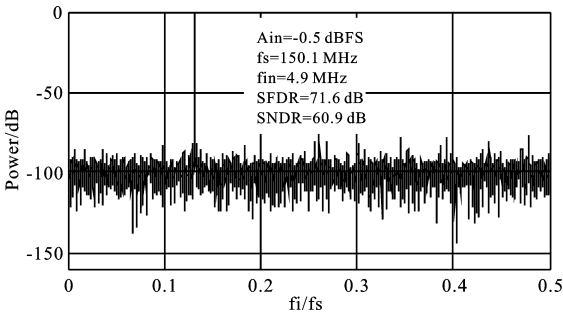


图 9 输入频率为 4.9 MHz 时的输出结果频谱图

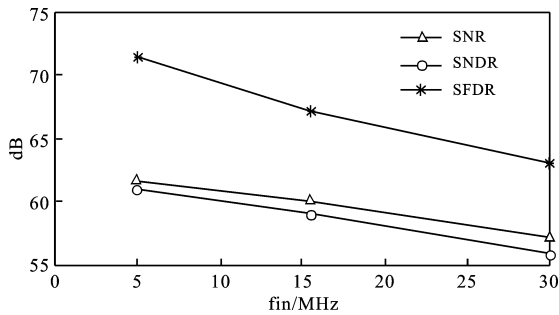


图 10 SNR/SNDR/SFDR 随输入信号频率的变化

由于功耗的版图后仿结果和实际测试结果十分接近, 对版图相关的寄生电阻和寄生电容都进行反提的情况下, 电源电压为 1.2 V 时单通道所消耗的电流为 2.04 mA. 通常情况下, FOM 可以代表 ADC 的功耗性能, 它的表达式为:

$$\text{FOM} = \frac{\text{Power}}{2^{\text{ENOB@DC}} \times f_s} \tag{8}$$

此 ADC 的 FOM 为 17.9 fJ/convstep. 表 1 对比了该 ADC 和另外 4 个低功耗的 ADC.

表 1 ADC 性能参数对比

	文献[10]	文献[11]	文献[7]	本文
结构	sub-range SAR	Pipelined-SAR	Pipelined-SAR	sub-rang SAR
工艺/nm	90	65	65	55
核面积/mm ²	0.028	0.22	0.21	0.046 (双通道)
供电电压	1.2	1.0	1.1	1.2
分辨率/bit	9	10	10	11
采样率/(MS/s)	150	204	160	150
ENOB	8.69	8.88	8.90	9.83
功耗/mW	1.53	9.50	2.72	2.45
FOM (fJ/conv. -step)@DC	24.7	95.4	35	17.9

7 结束语

本文介绍了一个用于无线收发机的双通道 11 bit 150 MS/s Sub-range SAR ADC. Sub-range SAR 结构有利于实现高速低功耗的设计. 采用分段电容设计, 既可以节省电容面积又可以节省功耗. 此外, ADC 采用了动态比较器从而进一步实现了低功耗设计. 电路中用 GCRO 来产生一个超高速的异步时钟来调整每 bit 比较的所需的时间, 进而提高 ADC 的速度. 在采样率为 150 MS/s 时, 单通道消耗的功耗为 2.45 mW, SNDR 为 60.9 dB, FOM 为 17.9 fJ/conv.-step.

参考文献:

[1] Lee B G, Tsang R M. A 10-bit 50 MS/s pipelined ADC with capacitor-sharing and variable-opamp[J]. Solid-State Circuits, 2009, 44(3): 883-890.

[2] Danjo T, Yoshioka M, Isogai M, et al. A 6 bit, 1 GS/s, 9.9 mW, interpolated subranging ADC in 65-nm CMOS[J]. Solid-State Circuits, 2014, 49(3): 673-682.

[3] Furuta M, Nozawa M, Itakura T. A 10 bit, 40 MS/s, 1.21 mW pipelined SAR ADC using single-ended 1.5-bit/cycle conversion technique [J]. Solid-State Circuits, 2011, 46(6): 1360-1370.

[4] Jin J, Gao Y, Sánchez-Sinencio E. An energy-efficient time-domain asynchronous 2 b/Step SAR ADC with a hybrid R-2R/C-3C DAC structure[J]. IEEE Journal of Solid-State Circuits, 2014, 49(6):1383-1396.

[5] Cao Z, Yan S, Li Y. A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13 m CMOS[J]. Solid-State Circuits, 2009, 44(3): 862-873.

用需求.在测频算法中,可以配置的参数有帧长、滤波器系数、FFT点数、门限值等;在阵列信号处理算法中,可以配置的参数有输入矩阵大小、缓存深度、加权方式、加权系数等;各算法间可复用运算资源和存储资源;算法内部采用流水加并行的架构,有效的提高吞吐量,降低了延迟,各项性能都能基本满足实际应用的需求.

在基于FPGA的验证中,RPSC的主频为150 MHz,计算资源的复用率达47.8%,存储资源复用率达17.6%,测频算法的数据吞吐率为7.2 Gb/s,阵列信号处理算法的数据吞吐率为14.4 Gb/s,在实际使用时,可以通过提升处理主频、通道数据和数据传输速率以满足具体应用的性能需求.相比于传统的实现形式,这种可重构的架构既提升了灵活性,也保留了高性能,同时能实现资源复用,降低总体资源开销,这种特点在实现更多种算法重构时将有更明显的效果,有较大的应用价值.

参考文献:

[1] 罗冰,罗进川,刘和周.基于信道化瞬时测频的数字干涉仪设计分析[J].信息技术,2014,37(7):52-54.

(上接第5页)

[6] Lien Y C. A 4.5 mW 8 b 750 MS/s 2 b/step asynchronous subranged SAR ADC in 28-nm CMOS technology[C]//VLSI Circuits (VLSIC), 2012 Symposium on. USA, Honolulu, Hawaii, IEEE, 2012: 88-89.

[7] Zhu Y, Chan C H, Sin S W, et al. A 35 fJ 10b 160 MS/s pipelined-SAR ADC with decoupled flip-around MDAC and self-embedded offset cancellation[C]//Solid State Circuits Conference (A-SSCC), 2011 IEEE Asian. Jeju, South Korea, IEEE, 2011: 61-64.

[8] Meng Y, Lipeng W, Fule L, et al. An 8 bit 12 MS/s asynchronous successive approximation register ADC with an on-chip reference[J]. Journal of Semiconductors, 2013, 34(2): 025010.

[9] Schinkel D, Mensink E, Klumperink E, et al. A double-tail latch-type voltage sense amplifier with 18ps setup+ hold time[C]//IEEE International Solid-state Circuits Conference. USA, San Francisco, 2007: 314-605.

[10] Lin Y Z, Liu C C, Huang G Y, et al. A 9 bit 150 MS/s 1.53 mW subranged SAR ADC in 90-nm CMOS [C]//VLSI Circuits (VLSIC), 2010 IEEE Symposium on. Greece, Lixouri, IEEE, 2010: 243-244.

[2] 顾菁华,梁广,龚文斌,等.基于FPGA的DBF发射天线数字波束形成网络的设计与实现[J].实验技术与管理,2009,26(1):42-46.

[3] 周晓青,李合生,陶荣辉,等.数字测频算法研究综述[J].微型机与应用,2010,29(7):1-5.

[4] 王新春.高速宽带数字测频技术研究[D].西安:西安电子科技大学,2005.

[5] 闻军会,赵国庆.数字测频算法研究[J].雷达与对抗,2002,21(4):24-29.

[6] 张薇,吕宏程,邱传飞,等.基于FPGA的DBF设计与实现[J].火力与指挥控制,2011,36(6):176-178.

[7] 徐欣,银庆宏,李楠,等.基于FPGA和DSP的DBF实现[J].微处理机,2010,31(5):24-27.

[8] 李耀南,罗丁利.基于FPGA的DBF导向矢量实时算法[J].火控雷达技术,2011,39(3):27-31.

[9] Russell Tessier. Reconfigurable computing architectures[J]. Proceedings of the IEEE, 2015, 103(3): 332-354.

作者简介:

陈俊宇 男,(1985-),硕士,工程师.研究方向为数字集成电路、SOC、嵌入式设计等. E-mail:chenjy@ganide.com.

[11] Jeon Y D, Cho Y K, Nam J W, et al. A 9.15 mW 0.22 mm² 10b 204MS/s pipelined SAR ADC in 65nm CMOS[C]//Proceedings of the Custom Integrated Circuits Conference. USA, San Jose, California, 2010: 1-4.

作者简介:

何秀菊 女,(1991-),硕士研究生.研究方向为高速低功耗ADC.

薛春莹 女,(1990-),硕士,工程师.研究方向为低功耗SAR ADC.

王亚 女,(1990-),硕士,工程师.研究方向为高速SAR ADC.

李福乐(通讯作者) 男,(1974-),博士,副研究员.研究方向为模拟及数模混合集成电路设计. E-mail:Lifule@mail.tsinghua.edu.cn.

张春 男,(1972-),博士,副研究员.研究方向为数模混合信号集成电路设计、嵌入式微处理器设计、数字信号处理、射频识别等.

姜学平 男,(1963-),博士.研究方向为包括智能芯片、物联网、智能终端和系统的开发和应用.